

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-242851

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

H03L 7/087

(21)Application number : 09-056931

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.02.1997

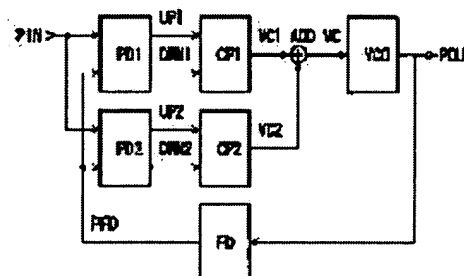
(72)Inventor : OKAWA MASAOKI

(54) PLL CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten a pull-in time and to reduce jitters when locked by providing a 1st and a 2nd phase comparator circuit, and also providing a 3rd and a 4th phase comparator circuit which delay the rises or falls of the up or down signals of their output signals.

SOLUTION: Phase comparator circuits PD1 and PD2 hold an up signal UP1 or UP2 selectively at a high level for the pulse width corresponding to the phase difference between a feedback clock signal PDF and a reference clock signal PIN when the phase of the PDF is delayed behind that of the PIN. When the phase of the feedback clock signal PFD leads the reference clock, on the other hand, a down signal DWN1 or DWN2 is held selectively at a high level for the pulse width corresponding to their phase difference. Charge pump circuits CP1 and CP2 provided corresponding to the 1st and 2nd phase comparator circuits PD1 and PD2 controls control voltages VC1 and VC2 according to the pulse width of the input.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242851

(43) 公開日 平成10年(1998)9月11日

(51) Int. Cl.⁵

H 0 3 L 7/087

識別記号

P I

H 0 3 L 7/08

P

審査請求 未請求 請求項の数 4 F D (全 10 頁)

(21) 出願番号 特願平9-56931

(22) 出願日 平成9年(1997)2月25日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 大河 正明

東京都青森市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74) 代理人 弁理士 徳善 光政

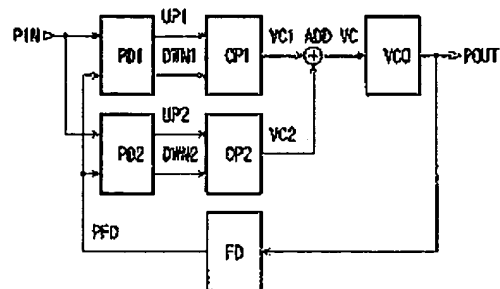
(54) 【発明の名称】 PLL回路

(57) 【要約】

【課題】 その引き込み時間の短縮とロック時のジッタ低減とをあわせて図ったPLL回路を実現する。

【解決手段】 PLL回路において、位相比較回路を、例えば、オーバーラップ型及びデッドゾーン型の出力特性をそれぞれ有する位相比較回路PD1及びPD2を基本に構成し、あるいは、その出力信号たるアップ信号UPの立ち上がり又は立ち下がりが意図的に遅らされる第3の位相比較回路と、ダウンスignal DOWNの立ち上がり又は立ち下がりが選択的に遅らされる第4の位相比較回路とを基本に構成することで、基準クロック信号PIN及び分周クロック信号PFDの位相差が大きいたときは、位相比較回路及びチャージポンプ回路全体の利得を大きくして周波数補正量を大きくし、位相差が小さいときには、その利得を小さくして周波数補正量を小さくする。

図1 PLL回路のブロック構成(実施例1)



(2)

特開平10-242851

1

2

【特許請求の範囲】

【請求項1】 第1及び第2のバース信号の位相差に対応したバース幅を有し、かつそのバース幅の上記第1及び第2のバース信号の位相差に対する変化特性がそれぞれ異なる複数組のアップ信号及びダウン信号を出力する位相比較回路を具備することを特徴とするPLL回路。

【請求項2】 請求項1において、上記位相比較回路は、その第1及び第2の入力端子に上記第1及び第2のバース信号をそれぞれ共通に受け、かつオーバーラップ型及びデッドゾーン型の出力特性をそれぞれ有する第1及び第2の位相比較回路を含んでなるものであることを特徴とするPLL回路。

【請求項3】 請求項1において、上記位相比較回路は、その出力信号たるアップ信号の立ち上がり又は立ち下がり有意図的に遅らされる第3の位相比較回路と、その出力信号たるダウン信号の立ち上がり又は立ち下がり有意図的に遅らされる第4の位相比較回路とを含んでなるものであることを特徴とするPLL回路。

【請求項4】 請求項2又は請求項3において、上記第1及び第2の位相比較回路あるいは第3及び第4の位相比較回路は、その構成素子の一部を共有すべく一体化して形成されるものであることを特徴とするPLL回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はPLL(Phase Locked Loop)回路に関し、例えば、コンピュータのクロック信号源となるPLL回路ならびにその引き込み時間の短縮及び周波数特性の改善に利用して特に有効な技術に関する。

【0002】

【従来の技術】基準クロック信号に位相同期された内部クロック信号を形成するPLL回路があり、このようなPLL回路をクロック信号源として含むコンピュータがある。PLL回路は、例えば、基準クロック信号と例えば内部クロック信号を分周して形成される帰還クロック信号との間の位相差に応じたバース幅のアップ信号及びダウン信号を選択的に形成する位相比較回路と、位相比較回路から出力されるアップ信号及びダウン信号に従って所定の制御電圧を生成するチャージポンプ回路と、その周波数がチャージポンプ回路から出力される制御電圧に従って制御される内部クロック信号を生成する電圧制御型発振回路とを含む。

【0003】

【発明が解決しようとする課題】従来のPLL回路において、位相比較回路及びチャージポンプ回路の利得は、基準クロック信号及び帰還クロック信号の位相差に関係なく固定化され、その出力信号たる制御電圧の電位は、基準クロック信号と帰還クロック信号の位相差に対して

ほぼ直線的な変化を呈する。このため、PLL回路の引き込み時間を速くしようとして位相比較回路及びチャージポンプ回路の利得を大きくすると、位相同期時つまりロック時のジッタが大きくなって周波数特性が不安定となり、逆にロック時のジッタを小さくしようとして位相比較回路及びチャージポンプ回路の利得を小さくすると、PLL回路の引き込み時間が長くなる。

【0004】この発明の目的は、その引き込み時間の短縮とロック時のジッタ低減とをあわせて図ったPLL回路を提供することにある。

【0005】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、位相比較回路及びチャージポンプ回路を含むPLL回路において、位相比較回路を、例えば、オーバーラップ型及びデッドゾーン型の出力特性をそれぞれ有する第1及び第2の位相比較回路を基本に構成し、あるいは、その出力信号たるアップ信号の立ち上がり又は立ち下がり有意図的に遅らされる第3の位相比較回路と、ダウン信号の立ち上がり又は立ち下がり有意図的に遅らされる第4の位相比較回路とを基本に構成する。

【0007】上記手段によれば、基準クロック信号及び帰還クロック信号の位相差が大きいときは、位相比較回路及びチャージポンプ回路の利得を大きくして周波数補正量を大きくし、位相差が小さいときには、その利得を小さくして周波数補正量を小さくすることができる。この結果、PLL回路の引き込み時間を短縮しつつ、そのロック時におけるジッタを低減することができる。

【0008】

【発明の実施の形態】図1には、この発明が適用されたPLL回路の第1の実施例のブロック図が示され、図2には、その一実施例の信号波形図が示されている。両図をもとに、まずこの実施例のPLL回路の構成及び動作の概要について説明する。なお、この実施例のPLL回路は、コンピュータのクロック信号源として動作し、基準クロック信号PINをもとに、例えばその4倍の周波数を有する内部クロック信号POUTを生成する。図1の各ブロックを構成する回路素子は、公知のMOSFET(金属酸化物半導体型電界効果トランジスタ、この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする)集積回路の製造技術により、単結晶シリコンのような1個の半導体基板上に形成される。

【0009】図1において、この実施例のPLL回路は、2個の位相比較回路PD1(第1の位相比較回路)及びPD2(第2の位相比較回路)と、これらの位相比

(3)

特開平10-242851

3

較回路に対応して設けられる2個のチャージポンプ回路CP1及びCP2とを備える。また、チャージポンプ回路CP1及びCP2の出力信号つまり制御電圧VC1及びVC2を受ける加算器ADDと、その出力信号つまり制御電圧VCを受ける電圧制御型発振回路VCOとを備え、さらに、電圧制御型発振回路VCOの出力信号つまり内部クロック信号POUTを受ける分周器FDを備える。

【0010】位相比較回路PD1及びPD2の第1の入力端子には、コンピュータの図示されない前段のクロック生成回路から所定の基準クロック信号PIN（第1のパルス信号）が共通に供給され、その第2の入力端子には、分周器FDの出力信号つまり帰還クロック信号PFD（第2のパルス信号）が共通に供給される。また、チャージポンプ回路CP1及びCP2の第1の入力端子には、対応する位相比較回路PD1及びPD2の一方の出力信号つまりアップ信号UP1及びUP2がそれぞれ供給され、その第2の入力端子には、対応する位相比較回路PD1及びPD2の他方の出力信号つまりダウン信号DWN1及びDWN2がそれぞれ供給される。チャージポンプ回路CP1及びCP2の出力信号つまり制御電圧VC1及びVC2は、前述のように、加算器ADDによって加算された後、制御電圧VCとして電圧制御型発振回路VCOに供給される。また、電圧制御型発振回路VCOの出力信号つまり内部クロック信号POUTは、図示されない後段のクロック分配回路を介してコンピュータの各部に供給されるとともに、分周器FDによって4分の1の周波数に分周された後、帰還クロック信号PFDとして位相比較回路PD1及びPD2の第2の入力端子に供給される。

【0011】ここで、基準クロック信号PINは、特に制限されないが、図2に示されるように、所定の周波数を有する例えばデューティ50%のパルス信号とされる。また、内部クロック信号POUTは、その中心周波数が基準クロック信号PINの4倍とされるパルス信号とされ、帰還クロック信号PFDは、その中心周波数が基準クロック信号PINと同じパルス信号とされる。

【0012】位相比較回路PD1及びPD2は、基準クロック信号PIN及び帰還クロック信号PFDの位相を比較し、その位相差に応じたパルス幅のアップ信号UP1又はダウン信号DWN1あるいはアップ信号UP2又はダウン信号DWN2を選択的に形成する。すなわち、位相比較回路PD1及びPD2は、例えば図2に示されるように、帰還クロック信号PFDの位相が基準クロック信号PINに比べて遅くなったとき、アップ信号UP1又はUP2を位相差に対応するパルス幅だけ選択的にハイレベルとし、逆に帰還クロック信号PFDの位相が基準クロック信号PINに比べて早くなったときには、ダウン信号DWN1又はDWN2を位相差に対応するパルス幅だけ選択的にハイレベルとする。

4

【0013】一方、チャージポンプ回路CP1及びCP2は、対応する位相比較回路PD1又はPD2の出力信号つまりアップ信号UP1及びダウン信号DWN1あるいはアップ信号UP2及びダウン信号DWN2を横分して所定の制御電圧VC1及びVC2を形成する。すなわち、チャージポンプ回路CP1及びCP2は、対応するアップ信号UP1又はUP2がハイレベルとされるとき、そのパルス幅に応じて制御電圧VC1又はVC2の電位を選択的に高くし、対応するダウン信号DWN1又はDWN2がハイレベルとされるときには、そのパルス幅に応じて制御電圧VC1又はVC2の電位を選択的に低くする。チャージポンプ回路CP1及びCP2から出力される制御電圧VC1及びVC2は、加算器ADDによって加算された後、制御電圧VCとして電圧制御型発振回路VCOに供給される。なお、制御電圧VC1及びVC2ならびにVCの中心電位は、特に制限されないが、電源電圧VCC及び接地電位VSS間の中間電位HVCとされる。

【0014】電圧制御型発振回路VCOは、その中心周波数が基準クロック信号PINの4倍とされるパルス信号を形成し、内部クロック信号POUTとしてコンピュータの各部に供給する。内部クロック信号POUTの周波数は、制御電圧VCの電位が高くなるに従って高くされ、低くなるに従って低くされる。

【0015】分周器FDは、例えば2ビットのバイナリカウンタを含み、電圧制御型発振回路VCOから出力される内部クロック信号POUTの周波数を4分の1に分周した後、帰還クロック信号PFDとして位相比較回路PD1及びPD2の第2の入力端子に供給する。これにより、内部クロック信号POUTは、この入力クロック信号PINの4倍の周波数を有するものとなる。

【0016】図3には、図1のPLL回路に含まれる位相比較回路PD1の一実施例の回路図が示され、図4には、その一実施例の信号波形図が示されている。これらの図をもとに、この実施例のPLL回路を構成する位相比較回路PD1及びPD2の具体的構成及び動作について説明する。なお、以下の回路図において、そのチャネル（バックゲート）部に矢印が付されるMOSFETはPチャンネル型であって、矢印の付されないNチャンネルMOSFETと区別して示される。また、以下の記述では、位相比較回路PD1を例に具体的な説明を進めるが、位相比較回路PD2についてはこれと同一構成とされるため、省略された。

【0017】図3において、位相比較回路PD1は、特に制限されないが、その一方の入力端子に基準クロック信号PINのインバータV1による反転信号を受けるナンド（NAND）ゲートNA1と、その一方の入力端子に帰還クロック信号PFDのインバータV2による反転信号を受けるナンドゲートNA2とを含む。ナンドゲートNA1の他方の入力端子には、ナンドゲートNA2の

(5)

特開平10-242851

7

8

り、内部信号s7はすぐにハイレベルに戻されるが、内部信号s4のロウレベルを受けて内部信号s9がハイレベルのままとされるため、ダウン信号DWN1は、基準クロック信号PIN及び帰還クロック信号PFDの位相差つまり時間t2のバース幅を待つものとなる。

【0025】帰還クロック信号PFDがハイレベルからロウレベルに戻されると、位相比較回路PD1では、まず内部信号s2がロウレベルに戻される。また、この内部信号s2のロウレベルを受けて内部信号s4がハイレベルに戻され、続いて内部信号s6がロウレベルに戻される。同様に、基準クロック信号PINがハイレベルからロウレベルに戻されると、位相比較回路PD1では、まず内部信号s1がロウレベルに戻される。また、この内部信号s1のロウレベルを受けて内部信号s3がハイレベルに戻され、続いて内部信号s5がロウレベルに戻される。これにより、位相比較回路PD1は初期の状態に戻され、基準クロック信号PIN及び帰還クロック信号PFDの次の立ち上がり変化を待つ。

【0026】図5及び図6には、図1のPLL回路に含まれる位相比較回路PD1及びPD2の一実施例の出力特性図がそれぞれ示されている。また、図7及び図8には、図1のPLL回路に含まれるチャージポンプ回路CP1及びCP2の一実施例の出力特性図がそれぞれ示され、図9には、チャージポンプ回路CP1及びCP2の総合的な出力特性図が示されている。これらの図をもとに、この実施例のPLL回路に含まれる位相比較回路PD1及びPD2ならびにチャージポンプ回路CP1及びCP2の出力特性とその特徴について説明する。

【0027】図5において、この実施例のPLL回路を構成する位相比較回路PD1は、いわゆるオーバーラップ型の出力特性を有するものとされる。したがって、その一方の出力信号たるアップ信号UP1は、基準クロック信号PIN及び帰還クロック信号PFDの位相差が0つまりゼロの状態でも所定のバース幅だけハイレベルとされ、両クロック信号の位相差が所定の負値-PD1となった状態で始めてそのバース幅がゼロとなる。同様に、位相比較回路PD1の他方の出力信号たるダウン信号DWN1は、基準クロック信号PIN及び帰還クロック信号PFDの位相差がゼロの状態でも所定のバース幅だけハイレベルとされ、位相差が所定の正値+PD2となった状態で始めてそのバース幅がゼロとなる。

【0028】つまり、位相比較回路PD1は、基準クロック信号PIN及び帰還クロック信号PFDの位相差が負値-PD1から正値+PD2までの間にあるとき、アップ信号UP1及びダウン信号DWN1が同時にハイレベルとなるいわゆるオーバーラップ領域を有する訳であって、これらのアップ信号UP1及びダウン信号DWN1を受けるチャージポンプ回路CP1では、図7に示されるように、このオーバーラップ領域における補正出力つまりその利得が実質加算された形で大きくなる。し

かし、この実施例では、チャージポンプ回路CP1の利得が全体的に小さくされるため、オーバーラップ領域における利得の絶対値は比較的小さなものとなり、オーバーラップ領域外での利得はさらに小さなものとなる。

【0029】一方、位相比較回路PD2は、図6に示されるように、いわゆるデッドゾーン型の出力特性を有するものとされる。したがって、その一方の出力信号たるアップ信号UP2は、基準クロック信号PIN及び帰還クロック信号PFDの位相差がゼロから所定の正値+PD2に達するまでの間はそのバース幅がゼロとされ、両クロック信号の位相差が正値+PD2となった状態で始めてハイレベルとされる。同様に、位相比較回路PD2の他方の出力信号たるダウン信号DWN2は、基準クロック信号PIN及び帰還クロック信号PFDの位相差がゼロから所定の負値-PD1に達するまでの間はそのバース幅がゼロとされ、両クロック信号の位相差が負値-PD1となった状態で始めてハイレベルとされる。

【0030】つまり、位相比較回路PD2は、基準クロック信号PIN及び帰還クロック信号PFDの位相差が負値-PD1から正値+PD2までの間にあるとき、アップ信号UP2及びダウン信号DWN2がともにロウレベルとなるいわゆる不感帯領域（デッドゾーン）を有する訳であって、アップ信号UP2及びダウン信号DWN2を受けるチャージポンプ回路CP2では、図8に示されるように、この不感帯領域における利得がゼロとされる。しかし、この実施例では、チャージポンプ回路CP2の利得が全体的に大きくされるため、不感帯領域外での利得はチャージポンプ回路CP1に比べて充分に大きなものとなる。

【0031】これらのことから、チャージポンプ回路CP1及びCP2の出力信号つまり制御電圧VC1及びVC2の加算器ADDによる加算結果となる制御電圧VCは、図9に示されるように、基準クロック信号PIN及び帰還クロック信号PFDの位相差が負値-PD1より小さくあるいは正値+PD2より大きい範囲にある場合、言い換えるならば基準クロック信号PIN及び帰還クロック信号PFDの位相差が比較的大きい場合、この位相差に応じて比較的大きく変化する。これによってPLL回路の引き込み時間が短縮される。また、基準クロック信号PIN及び帰還クロック信号PFDの位相差が負値-PD1から正値+PD2の範囲内にある場合、言い換えるならば基準クロック信号PIN及び帰還クロック信号PFDの位相差が比較的小さい場合には、この位相差に対する補正量が比較的小さくされ、これによってPLL回路のロック時のジッタが低減される。

【0032】なお、以上の実施例において、位相比較回路PD1はオーバーラップ型の出力特性を有するものとされるが、オーバーラップ型及びデッドゾーン型のいずれにも属さないいわゆる標準型の位相比較回路とすることも可能である。この場合、その出力特性は、基準クロ

(5)

特開平10-242851

9

10

ック信号PIN及び帰還クロック信号PFDの位相差が負値又は正値のいずれをとるときも連続して直線的になるが、実際の製品において全領域で直線的な出力特性を持つ位相比較回路を実現することはプロセス的に困難とされる。上記のように、位相比較回路PD1をオーバーラップ型とすることで、比較的容易に位相比較回路PD1を構成でき、これによって位相比較回路PD1についてはPLL回路の製品歩留りを高めることができる。

【0033】図10には、この発明が適用されたPLL回路の第2の実施例のブロック図が示されている。また、図11には、図10のPLL回路に含まれる位相比較回路PD1（第3の位相比較回路）の一実施例の出力特性図が示され、図12には、位相比較回路PD3（第4の位相比較回路）の一実施例の出力特性図が示されている。なお、本実施例は、前記図1ないし図9の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【0034】図10において、この実施例のPLL回路は、3個の位相比較回路PD1～PD3と、これらの位相比較回路に対応して設けられる3個のチャージポンプ回路CP1～CP3とを備える。このうち、位相比較回路PD1及びPD2の第1の入力端子には、基準クロック信号PINが供給され、位相比較回路PD2及びPD3の第2の入力端子には、帰還クロック信号PFDが供給される。位相比較回路PD1の第2の入力端子には、帰還クロック信号PFDの遅延回路DL1による遅延信号が供給され、位相比較回路PD3の第1の入力端子には、基準クロック信号PINの遅延回路DL2による遅延信号が供給される。

【0035】位相比較回路PD1の出力信号つまりアップ信号UP1及びダウン信号DWN1は、対応するチャージポンプ回路CP1に供給される。また、位相比較回路PD2の出力信号つまりアップ信号UP2及びダウン信号DWN2は、対応するチャージポンプ回路CP2に供給され、位相比較回路PD3の出力信号つまりアップ信号UP3及びダウン信号DWN3は、対応するチャージポンプ回路CP3に供給される。チャージポンプ回路CP1～CP3の出力信号つまり制御電圧VC1～VC3は、加算器ADDにより加算された後、制御電圧VCとして電圧制御型発振回路VCOに供給される。

【0036】この実施例において、位相比較回路PD2は、特に制限されないが、オーバーラップ型の出力特性を持つべく設計され、位相比較回路PD1及びPD3は、概ね標準型の出力特性を持つべく設計される。しかし、位相比較回路PD1の第2の入力端子には、前記のように、帰還クロック信号PFDの遅延回路DL1による遅延信号が供給され、その位相は、遅延回路DL1の遅延時間td1に相当する分だけ定常的に遅らされる。したがって、アップ信号UP1については実質的にその立ち下がりが遅延された形となり、ダウン信号DWN1

については実質的にその立ち上がりが遅延された形となる。この結果、位相比較回路PD1としての出力特性は、図11に示されるように、全体的に遅延回路DL1の遅延時間td1に相当する位相分だけ負値側にシフトされ、アップ信号UP1及びダウン信号DWN1のバース幅は、負値-PD1においてゼロとなる。

【0037】同様に、位相比較回路PD3の第1の入力端子には、基準クロック信号PINの遅延回路DL2による遅延信号が供給され、その位相は、遅延回路DL2の遅延時間td2分だけ定常的に遅らされる。したがって、アップ信号UP3については実質的にその立ち上がりが遅延された形となり、ダウン信号DWN1については実質的にその立ち下がりが遅延された形となる。この結果、位相比較回路PD3の出力特性は、図12に示されるように、全体的に遅延回路DL2の遅延時間td2に相当する位相分だけ正値側にシフトされ、アップ信号UP3及びダウン信号DWN3のバース幅は、正値+PD2においてゼロとなる。

【0038】一方、チャージポンプ回路CP1は、特に制限されないが、位相比較回路PD1から出力されるダウン信号DWN1に対しては通常の利得をもってその制御電圧VC1を変化させるが、アップ信号UP1に対する利得はほぼゼロとされ、制御電圧VC1は変化しない。また、チャージポンプ回路CP3は、位相比較回路PD3から出力されるアップ信号UP3に対しては通常の利得をもって制御電圧VC3を変化させるが、ダウン信号DWN3に対する利得はほぼゼロとされ、制御電圧VC3は変化しない。さらに、チャージポンプ回路CP2は、位相比較回路PD2から出力されるアップ信号UP2及びダウン信号DWN2に対し、充分に小さな利得をもってその制御電圧VC2を変化させる。

【0039】以上のことから、位相比較回路PD1及びPD3ならびにチャージポンプ回路CP1及びCP3は、総合的に前記図6及び図8のようなデッドゾーン型の出力特性を持つものとなり、位相比較回路PD2及びチャージポンプ回路CP2は、前記図5及び図7のようなオーバーラップ型の出力特性を持つものとなる。この結果、この実施例のPLL回路においても前記図1の実施例と同様な作用効果を得ることができ、これによってPLL回路の引き込み時間を短縮しつつ、そのロック時におけるジッタを低減することができるものとなる。

【0040】図13には、この発明が適用されたPLL回路の第3の実施例のブロック図が示され、図14には、これに含まれる位相比較回路PDの一実施例の回路図が示されている。なお、本実施例は、前記図1ないし図9の実施例を基本的に踏襲するものであるため、これと異なる部分についてのみ説明を追加する。

【0041】図13において、この実施例のPLL回路は、1個の位相比較回路PD及びチャージポンプ回路CPと、加算器ADD、電圧制御型発振回路VCOならび

11

に分周器FDとを備える。このうち、位相比較回路PDには、基準クロック信号PIN及び相遅クロック信号PFDが供給され、その2組の出力信号つまりアップ信号UP1及びUP2ならびにダウン信号DWN1及びDWN2は、チャージポンプ回路CPに供給される。チャージポンプ回路CPから出力される制御電圧VC1及びVC2は、加算器ADDにより加算された後、制御電圧VCとして電圧制御型発振回路VCOに供給される。

【0042】この実施例において、位相比較回路PDは、図14に示されるように、前記図3のナンドゲートNA8及びNA9に加えて、2個のナンドゲートNAA及びNABを含む。このうち、ナンドゲートNAAの第1及び第2の入力端子には、内部信号s3及びs7がそれぞれ供給され、その第3の入力端子には、内部信号s1の遅延回路DL3による遅延信号つまり内部信号sAが供給される。同様に、ナンドゲートNABの第1及び第2の入力端子には、内部信号s4及びs7がそれぞれ供給され、その第3の入力端子には、内部信号s2の遅延回路DL4による遅延信号つまり内部信号sBが供給される。

【0043】前記図3の説明から明らかなように、内部信号s1の立ち上がりは、アップ信号UP1の立ち上がりタイミングを決定し、内部信号s2の立ち上がりは、ダウン信号DWN1の立ち上がりタイミングを決定する。したがって、内部信号sAの立ち上がりは、アップ信号UP2の立ち上がりタイミングを決定し、内部信号sBの立ち上がりは、ダウン信号DWN2の立ち上がりタイミングを決定する。内部信号sAの立ち上がりが内部信号s1に対して遅延回路DL3の遅延時間td3分だけ遅延されることで、アップ信号UP2の立ち上がり

が遅延され、そのパルス幅が縮小される。また、内部信号sBの立ち上がりが内部信号s2に対して遅延回路DL4の遅延時間td4分だけ遅延されることで、ダウン信号DWN2の立ち上がりが遅延され、そのパルス幅が縮小される。

【0044】これらのことから、位相比較回路PDは、アップ信号UP2及びダウン信号DWN2に対して前記図6のようなデッドゾーン型の出力特性を持つものとなり、チャージポンプ回路CPは、そのアップ信号UP2及びダウン信号DWN2に対する利得を適宜値とすることで前記図7のような出力特性を持つものとなる。この結果、例えば位相比較回路PDのアップ信号UP1及びダウン信号DWN1に対する出力特性をオーバーラップ型とし、チャージポンプ回路CPのアップ信号UP1及びダウン信号DWN1に対する利得を比較的小さく設計することで、位相比較回路PD及びチャージポンプ回路CPとしての総合的な出力特性は、前記図9のようになり、これによってPLL回路の引き込み時間を短縮しつつ、そのロック時におけるジッタを低減することができるものとなる。

(7)

特開平10-242851

12

【0045】言うまでもなく、この実施例のPLL回路では、出力特性が異なる2組のアップ信号UP1及びダウン信号DWN1ならびにアップ信号UP2及びダウン信号DWN2を形成する実質2個の位相比較回路が、その構成素子の一部を共有すべく一体化して形成される。この結果、PLL回路の所要回路素子数を削減でき、これによってその低コスト化を図ることができるものとなる。

【0046】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 位相比較回路及びチャージポンプ回路を含むPLL回路において、位相比較回路を、例えば、オーバーラップ型及びデッドゾーン型の出力特性をそれぞれ有する第1及び第2の位相比較回路を基本に構成し、あるいは、その出力信号たるアップ信号の立ち上がり又は立ち下がりが意図的に遅らされる第3の位相比較回路と、ダウン信号の立ち上がり又は立ち下がりが選択的に遅らされる第4の位相比較回路とを基本に構成することで、基準クロック信号及び内部クロック信号の位相差が大きいときは、位相比較回路及びチャージポンプ回路の利得を大きくして周波数補正量を大きくし、位相差が小さいときには、その利得を小さくして周波数補正量を小さくすることができるという効果が得られる。

(2) 上記(1)項により、PLL回路の引き込み時間を短縮しつつ、そのロック時におけるジッタを低減できるという効果が得られる。

【0047】(3) 上記(1)項及び(2)項において、第1及び第2の位相比較回路を、プロセス的に比較的容易に実現しやすいオーバーラップ型又はデッドゾーン型の位相比較回路とすることで、位相比較回路ひいてはこれを含むPLL回路の製品歩留りを高めることができるという効果が得られる。

(4) 上記(1)項ないし(3)項において、第1及び第2の位相比較回路あるいは第3及び第4の位相比較回路を、その構成素子の一部を共有すべく一体化して形成することで、PLL回路の所要回路素子数を削減し、その低コスト化を図ることができるという効果が得られる。

【0048】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1、図10ならびに図13において、PLL回路は、任意数の位相比較回路及びチャージポンプ回路を備えることができるし、そのブロック構成は、種々の実施形態を採りうる。図2及び図4において、各信号の具体的なタイミング関係やレベルは、この発明に制約を与えない。図3及び図14において、各位相比較回路は、同一の論理条件が得られる限り種々の実施形態を採りうる。図5ないし図9ならびに図11及び図12におい

50

13

て、各位比較回路及びチャージポンプ回路の出力特性は、例えばその変化がやや曲線的になる等、種々の実施形態を採りうる。

【0049】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるコンピュータのクロック信号源となるPLL回路に適用した場合について説明したが、それに限定されるものではなく、例えば、通信用集積回路等に含まれる同様なPLL回路やこれを含む各種のデジタルシステムにも適用できる。この発明は、少なくとも位比較回路及びチャージポンプ回路を含むPLL回路ならびにこれを含む装置又はシステムに広く適用できる。

【0050】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、位比較回路及びチャージポンプ回路を含むPLL回路において、位比較回路を、例えば、オーバーラップ型及びデッドゾーン型の出力特性をそれぞれ有する第1及び第2の位比較回路を基本に構成し、あるいは、その出力信号たるアップ信号の立ち上がり又は立ち下がりが意図的に遅らされる第3の位比較回路と、ダウン信号の立ち上がり又は立ち下がりが選択的に遅らされる第4の位比較回路とを基本に構成することで、基準クロック信号及び帰還クロック信号の位相差が大きいたときは、位比較回路及びチャージポンプ回路の利得を大きくして周波数補正量を大きくし、位相差が小さいときには、位比較回路及びチャージポンプ回路の利得を小さくして周波数補正量を小さくすることができる。この結果、PLL回路の引き込み時間を短縮しつつ、そのロック時におけるジッタを低減することができる。

【図面の簡単な説明】

【図1】この発明が適用されたPLL回路の第1の実施例を示すブロック図である。

【図2】図1のPLL回路の一実施例を示す信号波形図である。

【図3】図1のPLL回路に含まれる位比較回路PD*

(8)

特開平10-242851

14

*1の一実施例を示す回路図である。

【図4】図3の位比較回路PD1の一実施例を示す信号波形図である。

【図5】図1のPLL回路に含まれる位比較回路PD1の一実施例を示す出力特性図である。

【図6】図1のPLL回路に含まれる位比較回路PD2の一実施例を示す出力特性図である。

【図7】図1のPLL回路に含まれるチャージポンプ回路CP1の一実施例を示す出力特性図である。

【図8】図1のPLL回路に含まれるチャージポンプ回路CP2の一実施例を示す出力特性図である。

【図9】図1のPLL回路に含まれるチャージポンプ回路CP1及びCP2の一実施例を示す総合的な出力特性図である。

【図10】この発明が適用されたPLL回路の第2の実施例を示すブロック図である。

【図11】図10のPLL回路に含まれる位比較回路PD1の一実施例を示す出力特性図である。

【図12】図10のPLL回路に含まれる位比較回路PD3の一実施例を示す出力特性図である。

【図13】この発明が適用されたPLL回路の第3の実施例を示すブロック図である。

【図14】図13のPLL回路に含まれる位比較回路の一実施例を示す回路図である。

【符号の説明】

PD1~PD3……位比較回路、CP1~CP3……チャージポンプ回路、ADD……加算器、VCO……高圧制御型発振回路、FD……分周器、PIN……基準クロック信号、PFD……帰還クロック信号、UP1~UP3……アップ信号、DWN1~DWN3……ダウン信号、VC、VC1~VC3……制御電圧、VCC……電源電圧、VSS……接地電位、POUT……内部クロック信号、s1~s9……内部信号、V1~V6……インバータ、NA1~NA8……ナンド(NAND)ゲート、DL1~DL4……遅延回路、td1~td2……遅延時間、PD……位比較回路、CP……チャージポンプ回路。

【図1】

【図3】

【図13】

図1 PLL回路のブロック構成 (実施例1)

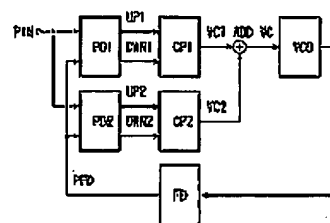


図3 位比較回路PD1の回路構成

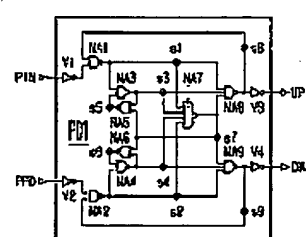
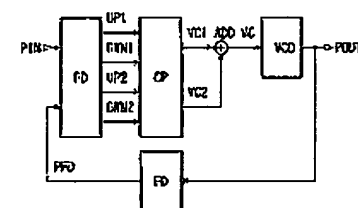


図13 PLL回路のブロック構成 (実施例3)

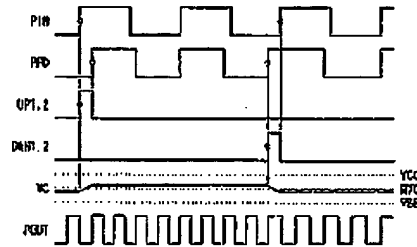


(9)

特開平10-242851

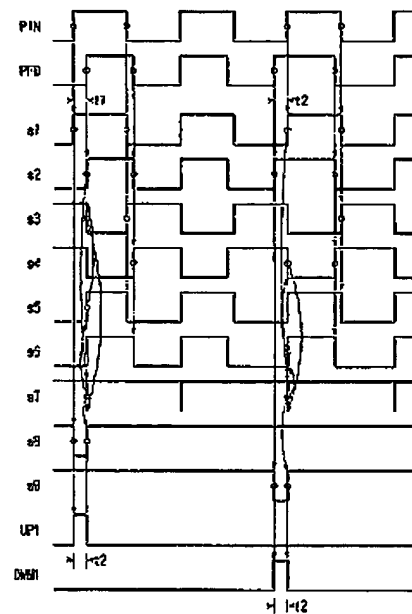
【図2】

図2 PLL回路の信号波形



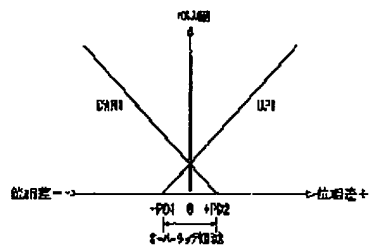
【図4】

図4 位相比較回路PD1の信号波形



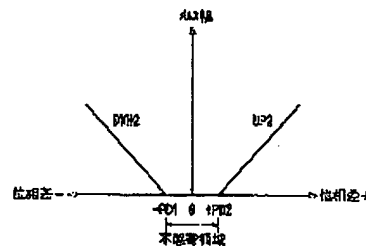
【図5】

図5 位相比較回路PD1の出力特性



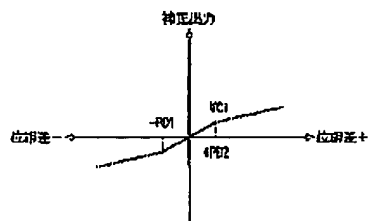
【図6】

図6 位相比較回路PD2の出力特性



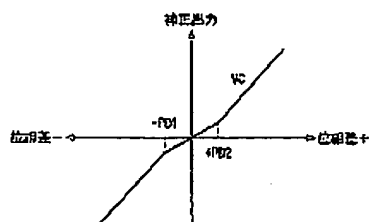
【図7】

図7 チャージポンプ回路CP1の出力特性



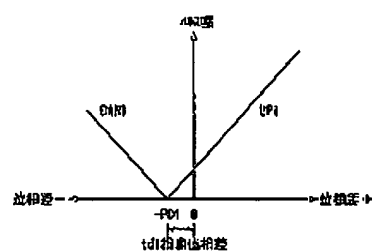
【图9】

図9 チャージポンプ回路CP1及びCP2の組合出力特性



【 1 1 】

图 11 恒阻比较回路 PD 10 出力特性



【图 14】

図14 値相比較回路の回路構成

